

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 59-171230

(43)Date of publication of application : 27.09.1984

(51)Int.Cl.

H04L 1/00
H04L 27/00
// H04L 27/18

(21)Application number : 58-046342

(71)Applicant : MITSUBISHI ELECTRIC CORP

(22)Date of filing : 17.03.1983

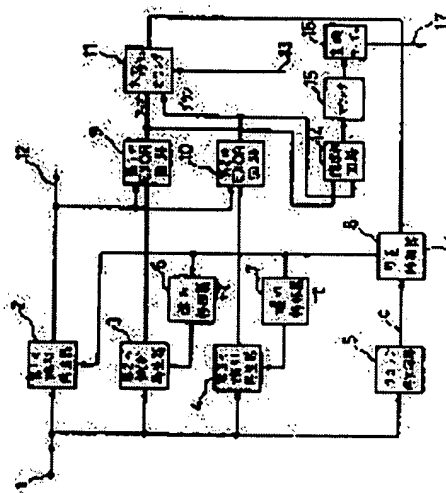
(72)Inventor : FUJINO TADASHI

(54) PSEUDO ERROR RATE MEASURING CIRCUIT

(57)Abstract:

PURPOSE: To attain accurate measurement of pseudo error rate by using a regenerated clock phase-shifted so as to identify and regenerate a receiving data signal thereby controlling the sampling point of time of a regenerating device always in the vicinity of the maximum point of the eye opening.

CONSTITUTION: An up-down counter CT11 is reset by a reset signal I3 and a pseudo error pulse sampled by a lead clock from a phase shifter 6 at an identifying and regenerating device 3 is inputted to an UP terminal of the CT11 via an EXOR9. On the other hand, the pseudo error pulse sampled by a lag clock from the phase shifter 7 at an identifying and regenerating device 4 is inputted to a DOWN terminal of the CT11 via an EXOR10. The CT11 controls the output phase of the phase shifter 8 based on the count value for a prescribed time and a threshold value. Thus, the output phase of the phase shifter 8 is controlled so that the sampling point of the regenerating device 2 may be at the maximum point of the eye opening at all times.



LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

⑫ 公開特許公報 (A)

昭59—171230

⑮ Int. Cl.³
H 04 L 1/00
27/00
H 04 L 27/18

識別記号

庁内整理番号
6651—5K
A 7240—5K
A 7240—5K

⑬ 公開 昭和59年(1984)9月27日

発明の数 1
審査請求 未請求

(全 4 頁)

⑭ 擬似誤り率測定回路

三菱電機株式会社通信機製作所
内

① 特 願 昭58—46342

② 出 願 人 三菱電機株式会社

③ 出 願 昭58(1983)3月17日

東京都千代田区丸の内2丁目2
番3号

④ 発 明 者 藤野忠

尼崎市塚口本町8丁目1番1号

⑤ 代 理 人 弁理士 葛野信一 外1名

明 細 書

1、発明の名称

擬似誤り率測定回路

2、特許請求の範囲

(1) 受信ベースバンド信号からクロックを再生するクロック再生回路と、上記クロックを移相する可変移相器と、該可変移相器の出力の位相を進める進み移相器と、上記可変移相器の出力の位相を遅らせる遅れ移相器と、上記可変移相器の出力を用いて上記ベースバンド信号から受信データ信号を識別再生する第1の識別再生器と、上記ベースバンド信号が入力されてそれぞれ上記進み移相器および遅れ移相器の出力を用いて識別再生動作を行う第2および第3の識別再生器と、上記第1、第2の識別再生器の出力が入力される第1の排他的論理和回路と、上記第1、第3の識別再生器の出力が入力される第2の排他的論理和回路と、上記第1および第2の排他的論理和回路の出力により上記可変移相器の移相量を制御する移相量制御手段と、上記第1、第2の排他的論理和回路の出

力が入力される論理和回路と、該論理和回路の出力をカウントし擬似誤り率を出力するカウンタとを備えたことを特徴とする擬似誤り率測定回路。

3、発明の詳細な説明

この発明は、デジタル波形伝送において、受信誤り率を推定する擬似誤り率測定回路に関するものである。

従来、この種の回路としては第3図に示すものがあつた。図において、(5)は入力受信ベースバンド信号(1)からクロック信号cを再生するクロック再生回路、(6)は再生クロック信号cを移相する手動移相器、(6)は手動移相器(6)の出力の位相を π だけ進める進み移相器、(7)は手動移相器(6)の出力の位相を π だけ遅らせる遅れ移相器、(2)は手動移相器(6)の出力を用いてベースバンド信号(1)から受信データ信号(2)を識別再生する第1の識別再生器、(3)(4)はベースバンド信号(1)が入力されそれぞれ上記進み移相器(6)および遅れ移相器(7)の出力を用いて識別再生動作を行う第2および第3の識別再生器、(9)は第1、第2の識別再生器(2)(3)の出力が入

力される第1の排他的論理和(EXOR)回路、00は第1、第3の識別再生器(2)(4)の出力が入力される第2の排他的論理和(EXOR)回路、01はEXOR回路(9)00の出力を論理加算する論理和回路、02は論理和回路00の出力をカウントし擬似誤り率(PER)を出力するカウンタ、03は擬似誤り率を出力推定誤り率(BER)(07)に変換する変換テーブルである。

次に動作について説明する。

識別再生器(2)、(3)、(4)には、受信ベースバンド信号(1)が入力されている。その波形のアイパターンの一例を第2図に示す。手動移相器08の移相量は、識別再生器(2)の識別再生するサンプリング時点 t_1 が第2図のアイ開口度の最大になる時点、即ち同図中一点鎖線で示される点になる様に手動で設定する。ここで進み移相器(6)の移相量は τ の進み、遅れ移相器(7)の移相量は τ の遅れ(− τ の進み)になるように設定してある。この場合、識別再生器(2)、(3)、(4)出力を全て受信データ出力と考えると、識別再生器(2)はアイ開口度の最大点をサンプリングしている故、識別再生器(2)出力データ

の誤り率は識別再生器(3)、(4)出力データの誤り率に比べて良い。又、アイパターンは、一般にアイ開口度最大点(第2図の一点鎖線)に対して対称である故、識別再生器(3)出力と識別再生器(4)出力のデータの誤り率は一般に同等である。

さて、識別再生器(2)出力と識別再生器(3)出力を排他的論理和回路(9)に入力すれば、その出力は、識別再生器(2)出力と識別再生器(3)出力が一致する時は“0”に、不一致の場合は“1”になる。“1”になつた場合、識別再生器(2)出力、あるいは識別再生器(3)出力のいずれかが誤りになる訳であるが、一般には、アイ開口度の小さい方に相当する識別再生器(3)出力が誤っていると考えるのが自然である。

同様に、識別再生器(2)出力と識別再生器(4)出力とを排他的論理和回路(9)に入力し、その出力が“1”であれば識別再生器(4)出力に誤りがあると考えられる。

このため排他的論理和回路(9)、00の出力を論理和回路01に入力すれば、その出力は誤り率特性が

1に比べて十分小さい様な場合、排他的論理和回路(9)、00の出力の和の誤りパルスが出力されることになる。この誤りパルスのことを擬似誤りと呼ぶことにする。

一般に、一定の τ 値の場合、この擬似誤りの発生率(PER)と真の誤り率(BER)とは1対1の対応関係にあり、PER値が定まればBER値は一意的に定まる。従つてPERとBERの関係を変換テーブル06に内蔵しておけば、変換テーブル06出力にはBERの推定値(07)が現われることになる。

従来の擬似誤り率測定回路は以上のように構成されるゆえ、もしも通信伝送路にフェージング、非線形性の影響があれば、これが原因で再生クロック位相が初期設定位相からずれてくる。このことは、第2図に示す識別再生器(2)、(3)、(4)のサンプリング時点 t_1 、 t_3 、 t_2 がずれてくることを意味し、その結果は推定BER値が不正値になることに陥着する。

この発明は上記のような従来のものの欠点を除

去するためになされたもので、手動移相器の代りに可変移相器を用い、第1の識別再生器の他に該識別再生器より進んだ又は遅れたタイミングで識別再生を行う第2、第3の識別再生器を設け、第2、第3の高識別再生器の出力を用いて上記可変移相器の移相量を制御し、これにより移相された再生クロックを用いて受信データ信号を識別再生することにより、第1の識別再生器のサンプリング時点が常にアイ開口度の最大点付近にあるように制御でき、擬似誤り率が正確に測定できる擬似誤り率測定回路を提供することを目的としている。

以下、この発明の一実施例を図について説明する。

第1図において、第3図と同一符号は同一のものを示す。(8)は第3図の手動移相器(8)の代わりに設けられた可変移相器、01は第1および第2の排他的論理和回路(9)00の出力により上記可変移相器(8)の移相量を制御する移相量制御手段としてのアップ/ダウンカウンタで、アップ入力端子には第1の排他的論理和回路(9)の出力が、ダウン入力端子

には第2の排他的論理和回路10の出力がそれぞれ入力されている。また13はアップ/ダウンカウンタ10のリセット信号である。

次に動作について説明する。

まず、リセット信号13によつてアップ/ダウンカウンタ10がリセットされる。次に、進み移相器(6)からの進みクロックで、第2の識別再生器(3)にてサンプリングされた擬似誤りパルスは第1のEXOR回路(9)を経てアップ/ダウンカウンタ10のアップ端子に入力される。一方遅れ移相器(7)からの遅れクロックで第3の識別再生器(4)にてサンプリングされた擬似誤りパルスは、第2のEXOR回路10を経てアップ/ダウンカウンタ10のダウン端子に入力される。そして、アップ/ダウンカウンタ10の内部においては、あるスレッショルド値 ϵ が定められており、このアップ/ダウンカウンタ10は上記リセット後一定時間内のカウント値 A が $|A| \leq \epsilon$ ならば可変移相器(8)に対して何もせず、 $A < -\epsilon$ ならば可変移相器(8)の出力位相を少々進め、 $A > +\epsilon$ ならば可変移相器(8)の出力位相を少々

遅らせ、更にこれと同時に次回のカウントを開始させる。従つてこれにより、可変移相器(8)の出力位相は第1の識別再生器(2)のサンプリングが常にアイ開口度の最大時点付近にあるように制御されることになる。

そしてこのようにすれば、従来回路の欠点であるところのサンプリング位相がずれた場合でも正確な擬似誤りパルスを発生することができる。

従つて、この擬似誤りパルスを変換テーブル10に入力すると、正確な推定誤り率10を得ることができる。

なお、上記実施例ではベースバンド波形伝送について述べたが、一般に M を任意の整数として M 相PSK伝送の場合にも本発明を適用できる。この場合、クロック再生回路の入力は受信ベースバンド信号の代りに受信1F信号を用いることも可能である。

以上のように、この発明によれば手動移相器の代りに可変移相器を用い、第1の識別再生器の他に第2、第3の識別再生器を設け、この第2、第

3の識別再生器の出力を用いてアイパターン最大開口点からの第1の識別再生器のサンプリング時点のずれの方向を検出し、これにより可変移相器の移相量を制御して得られた再生クロックを用いて受信データ信号を識別再生するようにしたので、推定BER値は従来のもものよりも正確になる効果を得られる。

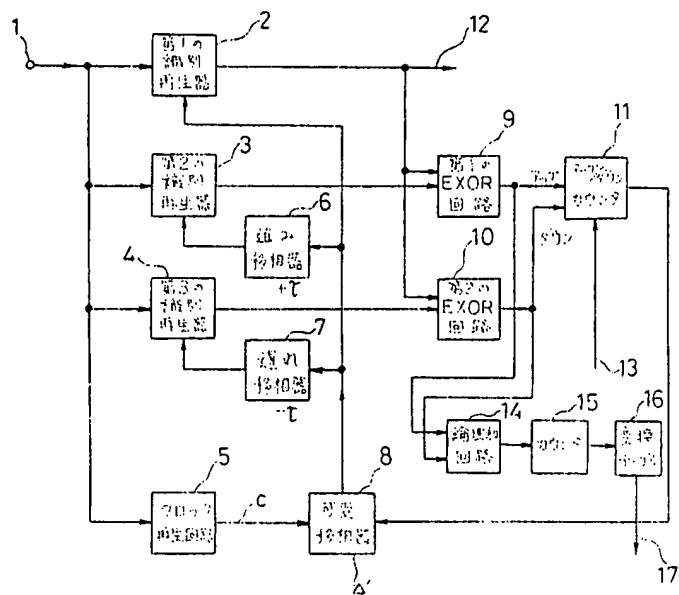
4、図面の簡単な説明

第1図は本発明の一実施例による擬似誤り率測定回路のブロック図、第2図は受信ベースバンド信号のアイパターンの一例およびサンプリング時点を示す図、第3図は従来の擬似誤り率測定回路のブロック図である。

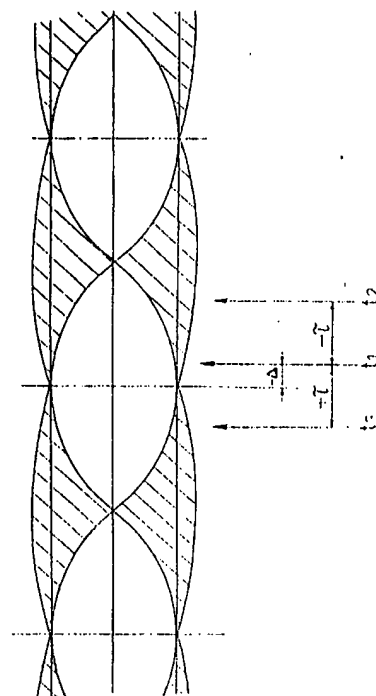
図において、(2)ないし(4)は第1ないし第3の識別再生器、(5)はクロック再生回路、(6)は進み移相器、(7)は遅れ移相器、(8)は可変移相器、(9)10は第1、第2のEXOR回路、10はアップ/ダウンカウンタ(移相量制御手段)、14は論理和回路、15はカウンタである。

なお図中同一符号は同一又は相当部分を示す。

第 1 圖



第 2 圖



第 3 圖

